

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takehisa YAMAGUCHI, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: LIQUID CRYSTAL DISPLAY AND MANUFACTURING METHOD THEREFOR

REQUEST FOR PRIORITY

J1002 U.S. PTO
09/832892
04/12/01



ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-114239	April 14, 2000

Certified copies of the corresponding Convention Application(s)

- is submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 - are submitted herewith
 - will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1002 U.S. PRO
09/032892
04/12/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application: 2000年 4月14日

出願番号

Application Number: 特願2000-114239

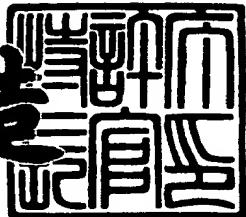
出願人

Applicant(s): 株式会社アドバンスト・ディスプレイ

2000年11月17日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3096688

【書類名】 特許願
【整理番号】 A199070902
【提出日】 平成12年 4月14日
【あて先】 特許庁長官 近藤 隆彦 殿
【国際特許分類】 G02F 1/136
【発明者】
【住所又は居所】 熊本県菊池郡西合志町御代志997番地 株式会社アドバンスト・ディスプレイ内
【氏名】 山口 健久
【発明者】
【住所又は居所】 熊本県菊池郡西合志町御代志997番地 株式会社アドバンスト・ディスプレイ内
【氏名】 橋口 隆史
【発明者】
【住所又は居所】 熊本県菊池郡西合志町御代志997番地 株式会社アドバンスト・ディスプレイ内
【氏名】 中川 直紀
【発明者】
【住所又は居所】 熊本県菊池郡西合志町御代志997番地 株式会社アドバンスト・ディスプレイ内
【氏名】 神鷹 智
【特許出願人】
【識別番号】 595059056
【氏名又は名称】 株式会社アドバンスト・ディスプレイ
【代理人】
【識別番号】 100065226
【弁理士】
【氏名又は名称】 朝日奈 宗太
【電話番号】 06-6943-8922

【選任した代理人】

【識別番号】 100098257

【弁理士】

【氏名又は名称】 佐木 啓二

【選任した代理人】

【識別番号】 100115819

【弁理士】

【氏名又は名称】 川瀬 裕之

【手数料の表示】

【予納台帳番号】 001627

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0004451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置および表示装置の製造方法

【特許請求の範囲】

【請求項1】 絶縁性基板上に形成されたゲート電極配線と、

該ゲート電極配線と絶縁膜を介して交差するソース電極を含むソース電極配線と

前記ゲート電極配線と前記ソース電極配線との交差部近傍に形成された薄膜トランジスタと、

前記薄膜トランジスタのドレイン電極を含みかつ画素電極に接続されるドレイン電極配線と、

を備えた表示装置であって、

前記薄膜トランジスタはソース電極の両側面において対向するドレイン電極配線のチャネル長方向の一部と前記ゲート電極配線との重なり部でドレイン電極を形成することを特徴とする表示装置。

【請求項2】 前記ソース電極の両側面において対向するそれぞれの前記重なり部の面積の総和を実質的に同じとしたことを特徴とする請求項1記載の表示装置。

【請求項3】 前記ソース電極の両側面において対向するそれぞれの前記重なり部の薄膜トランジスタのチャネル長方向の長さが実質的に同じであることを特徴とする請求項2記載の表示装置。

【請求項4】 前記重なり部の薄膜トランジスタのチャネル長方向の長さが、前記薄膜トランジスタの電流特性の低下をおよぼさない所定の長さであることを特徴とする請求項3記載の表示装置。

【請求項5】 前記ドレイン電極配線の一端のドレイン電極配線幅方向全域においてゲート電極配線との重なり部で前記ドレイン電極を形成したことを特徴とする請求項1、2、3または4記載の表示装置。

【請求項6】 前記ソース電極の両側面において対向するドレイン電極配線幅方向の一部と前記ゲート電極配線との重なり部でドレイン電極を形成し、前記ドレイン電極配線の端部は前記ゲート電極配線外に配設したことを特徴とする請

求項1、2、3または4記載の表示装置。

【請求項7】 前記ソース電極配線から前記ソース電極に引き出すソース電極配線を前記絶縁性基板に対して前記ゲート電極配線上あるいは下に絶縁膜を介して設けたことを特徴とする請求項1、2、3、4、5または6記載の表示装置。

【請求項8】 前記絶縁性基板に対して、前記ソース電極配線から前記ソース電極に引き出すソース電極配線の下あるいは上に半導体膜を形成したことを特徴とする請求項1、2、3、4、5、6または7記載の表示装置。

【請求項9】 前記ソース電極のそれぞれ両側面において対向して配設されたドレイン電極配線は、前記薄膜トランジスタと画素電極とのあいだで接続され、該画素電極と一箇所のみで接続されていることを特徴とする請求項1、2、3、4、5、6、7または8記載の表示装置。

【請求項10】 前記ドレイン電極配線は、画素電極と同一の膜で形成されていることを特徴とする請求項1、2、3、4、5、6、7、8または9記載の表示装置。

【請求項11】 絶縁性基板上にゲート電極パターンを形成する工程と、該ゲート電極を被覆した絶縁膜を形成する工程と、該絶縁膜上に半導体膜を形成する工程と、該半導体膜上にソース／ドレイン電極となる導電膜を堆積する工程と、該堆積された導電膜を、ソース電極の両側面において対向するドレイン電極配線のチャネル長方向の一部と前記ゲート電極配線との重なり部でドレイン電極を形成するようパターニングする工程と、を含むことを特徴とする表示装置の製造方法。

【請求項12】 絶縁性基板上にソース／ドレイン電極となる導電膜を堆積する工程と、該堆積された導電膜を、ソース電極の両側面において対向するドレイン電極配線のチャネル長方向の一部と前記ゲート電極配線との重なり部でドレイン電極を形成するようパターニングする工程と、該ソース／ドレイン電極上に半導体膜を形成する工程と、

該半導体膜上を被覆した絶縁膜を形成する工程と、
該絶縁膜上にゲート電極パターンを形成する工程と、
を含むことを特徴とする表示装置の製造方法。

【請求項13】 前記ドレイン電極配線と接続される画素電極パターンを形成する工程とをさらに備え、

前記ドレイン電極配線は前記画素電極パターンと同一の工程で形成されることを特徴とする請求項11または12記載の表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は画面のちらつき、分割露光領域間の輝度差などを抑制し、良好な表示品質を得ることができる表示装置に関するものであり、とくに液晶表示装置に使用して好適なものである。

【0002】

【従来の技術】

従来のアクティブマトリクス型液晶表示装置において、スイッチング素子として各画素に配設される薄膜トランジスタ（以下、TFTと称する）の構造については、たとえば特開平8-328038号公報明細書に開示がされている。これは、図11の従来のアクティブマトリクス型表示装置の1画素の平面図に示されているように、2つの薄膜トランジスタの、あるいは2つの薄膜トランジスタの2つのドレイン電極の一方の側にのみソース電極を突出させることで、開口率を向上させ、薄膜トランジスタを形成する際のフォトリソグラフィのマスクがずれても、ソース電極と共にゲート電極との重合面積の変化を無くすものである。（図11では2つのソース電極の一方の側にのみ、共通ドレイン電極を突出させている）ここで、該公報におけるソース電極は画素電極に接続される電極を示しており、本発明のドレイン電極に当たる。

【0003】

【発明が解決しようとする課題】

しかしながら、上述した構成においては、ゲート電極とソース電極間（本発明

においてはドレイン電極) の寄生容量 (以下、 C_{gd} と称する) の分割露光領域 (ショット) 間の輝度差 (以下、ショットムラと称する) は抑制できるものの、図10の従来技術に示されているように画素電極と接続されるソース電極配線 (本発明においてはドレイン電極配線) は、ドレイン電極と対向するチャネル長方向の全域においてゲート電極配線と交差しており、 C_{gd} の絶対値としては大きな値となってしまう。 C_{gd} の値が大きくなることで生じる表示上の問題として、画面のちらつき (以下、フリッカと称する) があげられる。フリッカとは周知のとおり、所定フレームと次フレームとで液晶に印加される電圧の実効値が異なることで発生するものである。

【0004】

C_{gd} が増大すると、ゲート電極配線の時定数が増大し、これによって表示面の駆動側から遠端部近傍でゲート印加電圧がオン (High) からオフ (Low) に遷移するときの遅延が生じ、遠端部近傍では所定の水平期間のつぎの水平期間のデータ (ドレイン電極電位) を書き込んでしまう、いわゆる再書き込みが起こり、所定の画素電位に対してズレを生じる。さらに、ゲート印加電圧がオン (High) からオフ (Low) に遷移するときには、TFTの寄生容量に起因する画素電極電位の電圧降下 (以下、フィードスルー電圧と称する) が生じ、そのフィードスルーエ電圧が大きくなると、TFTのドレイン電極ソース電極の電位差が大きくなり、上記表示面の駆動側から遠端部近傍におけるゲート印加電圧がオン (High) からオフ (Low) に遷移するときの遅延による上記再書き込みが、さらに生じ易い状態となる。

【0005】

ここで、フィードスルーエ電圧 ΔV_g は以下の式で与えられる。

【0006】

$$\Delta V_g = (C_{gd} / (C_s + C_{lc} + C_{gd})) * (V_{gh} - V_{g1})$$

上式において、 C_{gd} はゲート電極と TFT のドレイン電極の重なり容量、 C_s は蓄積容量、 C_{lc} は液晶容量、 V_{gh} 、 V_{g1} はそれぞれゲート印加電圧の高電圧値、低電圧値である。この式から明らかのように、 ΔV_g は C_{gd} の値に大きく依存しており、 C_{gd} の絶対値が小さくなることにより、 ΔV_g の値も小さ

くなる。この ΔV_g を小さくすることにより、上述した再書き込みを抑制することが可能となる。

【0007】

上述した理由より、従来の構成では、 Cgd のショット間のバラツキは抑制できるものの、 Cgd の絶対値が大きくなることで、フィードスルー電圧 ΔV_g も大きくなり、フリッカが発生しやすいという問題があった。

【0008】

本発明は、上記問題点に鑑みてなされたものであって、 Cgd のショット間のバラツキによるショットムラの抑制に加えて、さらに Cgd の絶対値を小さくすることでフリッカをも抑制し、良好な表示品質を得ることを目的としている。

【0009】

【課題を解決するための手段】

本発明の第1の表示装置は、絶縁性基板上に形成された薄膜トランジスタを具備した表示装置であって、該薄膜トランジスタは1画素に対して複数個形成され、該複数個の薄膜トランジスタはソース電極を含むソース電極配線を有し、該ソース電極を挟み、それぞれ両側に少なくとも1個のドレイン電極配線を有し、該それぞれのドレイン電極配線は前記ソース電極と対向するチャネル長方向の一部においてゲート電極配線との重なり部でドレイン電極を形成し、該ドレイン電極配線の他端は画素電極に接続したことを特徴とするものである。

【0010】

本発明の第2の表示装置は、上記第1の表示装置において、前記ソース電極の両側におけるそれぞれの前記重なり部の面積の総和を実質的に同じとしたことを特徴とするものである。

【0011】

本発明の第3の表示装置は、上記第2の表示装置において、前記ソース電極の両側におけるそれぞれの前記重なり部の薄膜トランジスタのチャネル長方向の長さが実質的に同じであることを特徴とするものである。

【0012】

本発明の第4の表示装置は、上記第3の表示装置において、前記重なり部の薄

膜トランジスタのチャネル長方向の長さが、前記薄膜トランジスタの電流特性の低下をおよぼさない所定の長さであることを特徴とするものである。

【0013】

本発明の第5の表示装置は、上記第1、第2、第3または第4の表示装置において、前記ドレイン電極配線の一端のドレイン電極配線幅方向全域においてゲート電極配線との重なり部で前記ドレイン電極を形成したことを特徴とするものである。

【0014】

本発明の第6の表示装置は、上記第1、第2、第3または第4の表示装置において、前記ドレイン電極配線の一端近傍の端部を除くドレイン電極配線幅方向の一部でのゲート電極配線との重なり部で前記ドレイン電極を形成し、前記ドレイン電極配線の一端端部は前記ゲート電極配線外に配設したことを特徴とするものである。

【0015】

本発明の第7の表示装置は、上記第1、第2、第3、第4、第5または第6の表示装置において、前記ソース電極配線から前記ソース電極に引き出すソース電極配線を前記絶縁性基板に対して前記ゲート電極配線上あるいは下に絶縁膜を介して設けたことを特徴とするものである。

【0016】

本発明の第8の表示装置は、上記第1、第2、第3、第4、第5、第6または第7の表示装置において、前記絶縁性基板に対して、前記ソース電極配線から前記ソース電極に引き出すソース電極配線の下あるいは上に半導体膜を形成したことを特徴とするものである。

【0017】

本発明の第9の表示装置は、上記第1、第2、第3、第4、第5、第6、第7または第8の表示装置において、前記ソース電極のそれぞれ両側に配設された少なくとも1個のドレイン電極配線は、前記薄膜トランジスタと画素電極とのあいだで接続され、該画素電極と一箇所のみで接続されていることを特徴とするものである。

【0018】

本発明の第10の表示装置は、上記第1、第2、第3、第4、第5、第6、第7、第8または第9の表示装置において、前記ドレイン電極配線は、画素電極と同一の膜で形成されていることを特徴とするものである。

【0019】

本発明の第1の表示装置の製造方法は、絶縁性基板上にゲート電極パターンを形成する工程と、該ゲート電極を被覆した絶縁膜を形成する工程と、該絶縁膜上に半導体膜を形成する工程と、該半導体膜上にソース／ドレイン電極となる導電膜を堆積する工程と、該堆積された導電膜を、ソース電極を挟み、それぞれ両側に少なくとも1個のドレイン電極配線を有し、該それぞれのドレイン電極配線は前記ソース電極と対向するチャネル長方向の一部においてゲート電極配線との重なり部でドレイン電極を形成し、該ドレイン電極配線の他端は画素電極に接続されるようパターニングする工程とを含むことを特徴とするものである。

【0020】

本発明の第2の表示装置の製造方法は、絶縁性基板上にソース／ドレイン電極となる導電膜を堆積する工程と、該堆積された導電膜を、ソース電極を挟み、それぞれ両側に少なくとも1個のドレイン電極配線を有し、該それぞれのドレイン電極配線は前記ソース電極と対向するチャネル長方向の一部においてゲート電極配線との重なり部でドレイン電極を形成し、該ドレイン電極配線の他端は画素電極に接続されるようパターニングする工程と、該ソース／ドレイン電極上に半導体膜を形成する工程と、該半導体膜上を被覆した絶縁膜を形成する工程と、該絶縁膜上にゲート電極パターンを形成する工程とを含むことを特徴とするものである。

【0021】

本発明の第3の表示装置の製造方法は、上記第1または第2の表示装置の製造方法において、前記ドレイン電極配線と接続される画素電極パターンを形成する工程とをさらに備え、前記ドレイン電極配線は前記画素電極パターンと同一の工程で形成されることを特徴とするものである。

【0022】

【発明の実施の形態】

実施の形態1

本発明の第1の実施の形態を図1～5により説明する。図1は本発明の第1の実施の形態におけるTFTを用いたアクティブマトリクス型液晶表示装置の1画素を表わす平面図であり、図2は図1におけるTFT部の拡大図、図3はドレン電流とコンタクト長の関係を示す図、図4および図5は図2におけるA-A断面における製造過程を表わす断面図である。図1において、1はソース電極配線、2はゲート電極配線、3はゲート電極配線突き出し部、4はたとえばITO(Indium Tin Oxide)などからなる透明電極である画素電極、5はソース電極配線の引き出し部、6はソース電極、7、8はそれぞれ第1、第2のTFTを形成する第1、第2のドレン電極配線、9はたとえばアモルファスシリコンなどからなる半導体膜を示している。

【0023】

図2においては、図1と同じ構成部分については同一符号を付しており、10は第1のドレン電極配線と画素電極の接続部、11は第2のドレン電極配線と画素電極の接続部、12はソース電極配線下に配設されるたとえばアモルファスシリコンなどからなる半導体膜、13は第1のドレン電極配線7とゲート電極配線突き出し部3とのオーバーラップ部（第1のドレン電極）、14は第2のドレン電極配線8とゲート電極配線突き出し部3とのオーバーラップ部（第2のドレン電極）、w1は第1のTFTのトランジスタ幅、w2は第2のTFTのトランジスタ幅、aは第1のドレン電極のチャネル長方向長さ（以下、コンタクト長と称する）、bは第2のドレン電極のコンタクト長を示している。図4および図5においても、図1と同じ構成部分については同一符号を付しており、19はゲート絶縁膜、20は真性半導体層、21はn型不純物を注入された導電性半導体層、22はパッシバーション膜を示している。また、この明細書でソース電極、ドレン電極およびゲート電極とは、薄膜トランジスタ部において、トランジスタのソース、ドレンおよびゲートを形成する部分を示し、ソース電極配線、ドレン電極配線およびゲート電極配線とは前記ソース電極、ドレン電極およびゲート電極を含む配線を示すものとする。

【0024】

図1においては、垂直方向にソース電極配線1が、水平方向にゲート電極配線2が敷設されており、ソース電極配線とゲート電極配線の間隙部に画素電極4が形成されている。さらにゲート電極配線とソース電極配線の交差部近傍においてソース電極配線から引き出し配線部5が形成されており、該引き出し配線部はソース電極6へと接続されている。TFT部については、図2の拡大図より、ゲート電極配線の突き出し部3において、上記ソース電極6を中心としてソース電極を挟むように第1、第2のドレイン電極配線7、8が形成されており、さらに該第1、第2のドレイン電極配線は、一端が第1、第2のドレイン電極13、14を形成し、他端は1画素を形成する同一の画素電極と接続部10、11において接続されている。さらに、ゲート電極配線突き出し部3と第1、第2のドレイン電極配線7、8は同一のコンタクト長a、bおよび同一面積のオーバーラップ部13、14を有するよう形成されている。また、図1、図2においては、ソース電極配線の引き出し部5は、ゲート電極配線の時定数低減のため、ゲート電極配線外に配設された例を示している。

【0025】

このようにゲート電極配線突き出し部3中央付近に配設されるソース電極の両側にTFTを形成することで、第1、第2のドレイン電極を該ゲート電極配線突き出し部のチャネル長方向の両側に、コンタクト長およびドレイン電極の面積を同一に形成することが可能となる。これより、ショット間の各レイヤ間の位置合わせズレが生じた場合も、たとえば図2においてソース／ドレイン電極が位置するレイヤがゲート電極が位置するレイヤに対して右方向に ΔX だけズれている場合、第1のドレイン電極13におけるコンタクト長aは ΔX 増加するものの、第2のドレイン電極14におけるコンタクト長bは ΔX 減少するため、第1、第2のTFTのゲート電極とドレイン電極間の寄生容量Cgd（1画素におけるCgd）に変化は生じない。また図2において、ソース／ドレインレイヤがゲートレイヤに対して上下方向にズレても、第1、第2のドレイン電極13、14はゲート電極配線の突き出し部3上にあるため、Cgdのショット間の差異が生じるのは明らかである。

【0026】

のことにより、各ショット間で各マスクの位置合わせズレが生じても、各ショット間で C_{gd} の変化はなく、ショット間の輝度ムラを抑制可能である。

【0027】

さらに図2より、本発明の特徴として第1、第2のドレイン電極は一端のコンタクト長のみをゲート電極とオーバーラップさせて C_{gd} を形成しており、従来のドレイン電極配線を、ソース電極と対向するチャネル長方向の全域においてゲート電極配線と交差している場合と比較して、 C_{gd} の値を縮小させることが可能となる。ここで、トランジスタのコンタクト長の値としては、図3のドレイン電流とコンタクト長の関係を説明する図に示すように、コンタクト長がある所定の長さC（たとえば $4 \mu m$ 程度）以上となるとドレイン電流は飽和しほぼ一定の電流値となり、上記所定の長さCより短い場合はドレイン電流の低下をおよぼすが、本発明においては少なくとも上記所定の長さC（ドレイン電流の低下を生じさせない値）以上にすれば良く、 C_{gd} の値としてはコンタクト長×チャネル幅Wの面積に大きく依存する。ここで、層構成あるいは層材料などにより上記所定の長さCの値は変化することが考えられるが、そのような場合も図3に示すようにドレイン電流特性が飽和しほぼ一定になる点を所定の長さCとし、少なくとも該所定の長さC以上をコンタクト長とすることができます。

【0028】

これに対して、前記した従来のようにドレイン電極配線がソース電極と対向するチャネル長方向全域においてゲート電極配線と交差している場合は、 C_{gd} の値はドレイン電極配線幅×チャネル幅の面積に大きく依存し、ドレイン電極幅はその製膜上の安定性およびパターニング時のドレイン電極側壁のオーバーエッチングなどを考慮した値（たとえば $6 \mu m$ 以上）に設定される場合が多い。上述のことからも、本発明により C_{gd} の絶対値が縮小されるのは、明らかである。以上のことから、本発明によるTFT構造においては、 C_{gd} の絶対値を小さくし、フリッカの発生を抑制可能となる。

【0029】

つぎに、図4および図5により図2におけるA-A断面のTFT作製のプロセ

スフローについて説明する。絶縁性基板（たとえばガラス基板）上に低抵抗金属であるアルミニウム（A1）またはクロム（Cr）などの導電膜をスパッタ法により成膜する。つぎに写真製版によりパターンを形成し、図4（a）のようにエッチングによりゲート電極パターンを形成する。つぎにたとえば窒化膜などからなるゲート絶縁膜19、チャネルとなるたとえばアモルファスシリコンからなる真性半導体層20とn型不純物をドーピングされたたとえばアモルファスシリコンからなる導電性半導体層21を図4（b）のようにたとえばプラズマCVD（Chemical Vapor Deposition）により連続成膜する。

【0030】

つぎに図4（c）に示されるように写真製版を行ない、半導体層をエッチングする。つぎにソース／ドレイン電極となるアルミニウム（A1）またはクロム（Cr）などの導電膜をスパッタ法により堆積させる。その後、図5（a）のように、写真製版によりソース／ドレイン電極をパターニングする。このソース／ドレイン電極のパターニングの際に、図2に示されるように、ドレイン電極配線の一端は、ソース電極と対向するチャネル長方向の一部でのゲート電極端部との重なり部でドレイン電極を形成し、該ドレイン電極配線の他端は画素電極に接続されるようパターニングする。また、このエッチングを行なうに際してはCrなどの金属膜とアモルファスシリコンなどの半導体層の反応によりたとえばクロムシリサイド（CrSi_x）が微量ながら形成され、ソース／ドレイン間ショートをもたらす可能性があるため、図5（b）に示されるようにCrSi_x除去および導電性半導体層の除去によりチャネル領域の分離を行ない、さらに真性半導体層をエッチングし、掘り下げる。さらに、図5（c）のように、たとえば窒化膜などから形成されるパッシベーション膜22をたとえばプラズマCVDにより堆積させてTFTが完成する。

【0031】

図4および図5においては、逆スタガー型（ボトムゲート型）のTFTの構成について説明しているが、ゲート電極がソース／ドレイン電極に対して上層に配設されるいわゆる正スタガー型（トップゲート型）のTFT構成に適用しても良い。さらに、図4および図5における層構成に限定されること無く、TFTを絶

縁性基板上に形成する場合すべてに適用可能である。

【0032】

実施の形態2

本発明の第2の実施の形態を図6により説明する。図6は本発明の第2の実施の形態におけるTFT部の拡大図を示している。図6において、図1、図2と同じ構成部分については同一符号を付しており、図2との差異について説明する。図6においては、第1、第2のドレイン電極配線7、8の一端は接続部10、11によって、1画素を形成する同一の画素電極4に接続されており、他端は端部を除くソース電極と対向する部分のチャネル長方向の1部のみをゲート電極配線突き出し部3とオーバーラップさせドレイン電極13、14を形成している。ここでゲート電極配線突き出し部3において、上記第1、第2のドレイン電極13、14が形成される部分近傍において切欠部23を有しており、第1、第2のドレイン電極配線7、8のソース電極と対面する一端部は、該切欠部に配設されている。

【0033】

上記構成にすることで、ショット間の各レイヤ間の位置合わせズレが生じたとしても、左右方向のズレに対しては実施の形態1の場合と同様の理由により、上下方向のズレに対しては、ドレイン電極配線7、8の一端端部が切欠部23すなわちゲート電極配線外に配設され、第1、第2のドレイン電極13、14はドレイン電極配線7、8上に形成されているため、Cgdのショット間の差異が生じないのは明らかである。

【0034】

また、上述したように第1、第2のドレイン電極配線において、一端は端部を除くソース電極と対向する部分のチャネル長方向の1部のみをゲート電極配線突き出し部とオーバーラップさせドレイン電極13、14を形成しているので、ドレイン電極配線のソース電極と対向するチャネル長方向の1部を少なくとも薄膜トランジスタのドレイン電流の低下を生じさせない値以上に設定することで、実施の形態1と同様にCgdの値を低減し、フリッカを抑制可能となる。

【0035】

さらに、図6から明らかなように、第1、第2のドレイン電極配線のソース電極と対向する部分のチャネル長方向の1部のみをドレイン電極としているので、ドレイン電極配線による開口部における占有部が小さく、高開口率化が可能である。

【0036】

本実施の形態においては、図6のように、ゲート電極配線の突き出し部のチャネル幅方向端部が半導体膜の同方向端部よりも内側に配設される例について示したが、実施の形態1の図2に示されるように、ゲート電極配線のチャネル幅方向端部が半導体膜の同方向端部よりも外側に配設される構成としてもよい。

【0037】

以上のことから、本実施の形態においては、実施の形態1と同様に、各ショット間で各マスクの位置合わせズレが生じても、各ショット間でCgdの変化はなく、ショットムラを抑制可能であり、さらにCgdの絶対値を小さくすることでき、フリッカの発生をも抑制可能となり、良好な表示品質を得ることができるとともに、高開口率化が可能となる。

【0038】

実施の形態3

本発明の第3の実施の形態を図7により説明する。図7は本発明の第3の実施の形態におけるTFT部の拡大図を示している。図7において、図1、図2と同じ構成部分については同一符号を付しており、図2との差異について説明する。図7は、ソース電極配線の引き出し部5を、ゲート電極配線2上に絶縁膜を介して設けたものである。

【0039】

上記構成にすることで、実施の形態1と同様の効果が得られるほか、不透明金属膜であるソース電極配線引き出し部を開口部ではなく、ゲート電極配線上に設けているので、開口率の向上が可能となる。

【0040】

本実施の形態においては、ゲート電極配線上にソース電極配線が配設される場合について示しているが、ソース電極配線上にゲート電極配線が配設される場合

においても、ゲート電極配線下にソース電極配線の引き出し部を設けることで同様の効果を得ることができる。

【0041】

実施の形態4

本発明の第4の実施の形態を図8により説明する。図8は本発明の第4の実施の形態におけるTFT部の拡大図を示している。図8において、図1、図2と同じ構成部分については同一符号を付しており、図2との差異について説明する。図8は、ソース電極配線の引き出し部5から、半導体膜9にオーバーラップするソース電極6の下部に半導体膜24を設けたものである。

【0042】

上記構成にすることで、実施の形態1と同様の効果が得られるほか、ゲート電極配線とソース電極配線との交差部において、ゲート電極配線の厚みによる段差のために生じるソース電極配線の断線を、半導体膜の厚みにより段差を緩和して抑制し、製造歩留まりを向上させることが可能となる。

【0043】

本実施の形態においては、半導体膜上にソース電極配線が配設される場合について示しているが、ソース電極配線上に半導体膜が配設される場合においても、ソース電極配線の引き出し部から、ソース電極の上部に半導体膜を設けることでソース電極配線の厚みによる段差のために生じるゲート電極配線の断線を、半導体膜の厚みにより段差を緩和して抑制し、製造歩留まりを向上させることが可能となる。

【0044】

実施の形態5

本発明の第5の実施の形態を図9により説明する。図9は本発明の第5の実施の形態におけるTFT部の拡大図を示している。図9において、図1、図2と同じ構成部分については同一符号を付しており、図2との差異について説明する。図9は、第1、第2のドレイン電極配線をTFTと画素電極とのあいだで接続することで共通化し、接続部分25のみにおいて画素電極4と接続したものである。

【0045】

上記構成にすることで、実施の形態1と同様の効果が得られるほか、ドレイン電極配線と画素電極との接続部が1箇所となり、開口率の向上が可能となる。

【0046】

実施の形態6

本発明の第6の実施の形態を図10により説明する。図10は本発明の第6の実施の形態におけるTFT部の拡大図を示している。図10において、図1、図2と同じ構成部分については同一符号を付しており、図2との差異について説明する。図10は、ドレイン電極配線およびドレイン電極に画素電極と同一の透明電極を用いた例を示している。

【0047】

上記構成にすることで、実施の形態1と同様の効果が得られるほか、ドレイン電極配線と画素電極との接続部が不要となり、開口率の向上が可能となる。

【0048】

以上、実施の形態3～6まで実施の形態1におけるその他の例について説明したが、実施の形態3～6を実施の形態2の構成に適用しても、それぞれ同様の効果を得るのは言うまでもない。さらに、実施の形態3～6を適宜組み合わせて、上記実施の形態1、2の構成に適用しても、それぞれの効果を奏するものである。

【0049】

また、実施の形態1～6においては、ソース電極を挟んで両側に1個ずつのTFTを形成する場合について説明したが、両側それぞれにおいて1個または複数個のTFTを用いてもよく、その際も両側それぞれのドレイン電極配線のオーバーラップ部の面積の総和およびコンタクト長が同一となるよう構成されれば良い。さらに、上記ソース電極両側それぞれのドレイン電極配線のオーバーラップ部の面積の総和およびコンタクト長は、実施の形態1～6においては同一の場合を示しているが、表示特性上問題のない範囲で差異を有していても実質的に同じであれば、同様の効果を得ることは言うまでもない。また、上記ソース電極においても、実施の形態1～6においては1本にて形成される場合を示しているが、共

通となり得る構成であれば、複数本によりソース電極を形成しても何ら差し支えないことは勿論である。

【0050】

さらに、実施の形態1～6においては、液晶表示装置のTFT構造についての説明を行なっているが、液晶を用いた表示装置に限定されることなく、エレクトロルミネセンス素子などを用いたあらゆるアクティブマトリクス型表示装置に適用可能である。

【0051】

さらに、実施の形態1および3～6においては、ゲート電極配線のチャネル幅方向端部が半導体膜の同方向端部よりも外側に配設される例について示しているが、実施の形態2に示されるように、ゲート電極配線のチャネル幅方向端部が半導体膜の同方向端部よりも内側に配設される構成としてもよい。

【0052】

【発明の効果】

本発明の第1の表示装置は、絶縁性基板上に形成された薄膜トランジスタを具備した表示装置であって、該薄膜トランジスタは1画素に対して複数個形成され、該複数個の薄膜トランジスタはソース電極を含むソース電極配線を有し、該ソース電極を挟み、それぞれ両側に少なくとも1個のドレイン電極配線を有し、該それぞれのドレイン電極配線は前記ソース電極と対向するチャネル長方向の一部においてゲート電極配線との重なり部でドレイン電極を形成し、該ドレイン電極配線の他端は画素電極に接続したことを特徴としているので、フリッカの抑制が可能となり、良好な表示品質を得ることができる。

【0053】

本発明の第2の表示装置は、上記第1の表示装置において、前記ソース電極の両側におけるそれぞれの前記重なり部の面積の総和を実質的に同じとしたことを特徴としているので、フリッカの抑制が可能となり、良好な表示品質を得ることができる。

【0054】

本発明の第3の表示装置は、上記第2の表示装置において、前記ソース電極の

両側におけるそれぞれの前記重なり部の薄膜トランジスタのチャネル長方向の長さが実質的に同じであることを特徴としているので、フリッカの抑制に加えて、ショットムラの抑制も可能となり、良好な表示品質を得ることができる。

【0055】

本発明の第4の表示装置は、上記第3の表示装置において、前記重なり部の薄膜トランジスタのチャネル長方向の長さが、前記薄膜トランジスタの電流特性の低下をおよぼさない所定の長さであることを特徴としているので、 C_{gd} をさらに低減することでフリッカを抑制し、さらにショットムラの抑制も可能となり、良好な表示品質を得ることができる。

【0056】

本発明の第5の表示装置は、上記第1、第2、第3または第4の表示装置において、前記ドレイン電極配線の一端のドレイン電極配線幅方向全域においてゲート電極配線との重なり部で前記ドレイン電極を形成したことを特徴としているので、フリッカの抑制が可能となり、良好な表示品質を得ることができる。

【0057】

本発明の第6の表示装置は、上記第1、第2、第3または第4の表示装置において、前記ドレイン電極配線の一端近傍の端部を除くドレイン電極配線幅方向の一部でのゲート電極配線との重なり部で前記ドレイン電極を形成し、前記ドレイン電極配線の一端端部は前記ゲート電極配線外に配設したことを特徴としているので、フリッカの抑制が可能となり、さらに高開口率化が可能となる。

【0058】

本発明の第7の表示装置は、上記第1、第2、第3、第4、第5または第6の表示装置において、前記ソース電極配線から前記ソース電極に引き出すソース電極配線を前記絶縁性基板に対して前記ゲート電極配線上あるいは下に絶縁膜を介して設けたことを特徴としているので、ショットムラの抑制に加えて、フリッカの抑制が可能となり、さらに高開口率化が可能となる。

【0059】

本発明の第8の表示装置は、上記第1、第2、第3、第4、第5、第6または第7の表示装置において、前記絶縁性基板に対して、前記ソース電極配線から前

記ソース電極に引き出すソース電極配線の下あるいは上に半導体膜を形成したことと特徴としているので、フリッカを抑制可能となり、さらにソース電極配線あるいはゲート電極配線の断線も防止可能となる。

【0060】

本発明の第9の表示装置は、上記第1、第2、第3、第4、第5、第6、第7または第8の表示装置において、前記ソース電極のそれぞれ両側に配設された少なくとも1個のドレイン電極配線は、前記薄膜トランジスタと画素電極とのあいだで接続され、該画素電極と一箇所のみで接続されていることを特徴としているので、フリッカを抑制可能となり、さらに高開口率化が可能となる。

【0061】

本発明の第10の表示装置は、上記第1、第2、第3、第4、第5、第6、第7、第8または第9の表示装置において、前記ドレイン電極配線は、画素電極と同一の膜で形成されていることを特徴としているので、フリッカを抑制可能となり、さらに高開口率化が可能となる。

【0062】

本発明の第1の表示装置の製造方法は、絶縁性基板上にゲート電極パターンを形成する工程と、該ゲート電極を被覆した絶縁膜を形成する工程と、該絶縁膜上に半導体膜を形成する工程と、該半導体膜上にソース／ドレイン電極となる導電膜を堆積する工程と、該堆積された導電膜を、ソース電極を挟み、それぞれ両側に少なくとも1個のドレイン電極配線を有し、該それぞれのドレイン電極配線は前記ソース電極と対向するチャネル長方向の一部においてゲート電極配線との重なり部でドレイン電極を形成し、該ドレイン電極配線の他端は画素電極に接続されるようパターニングする工程とを含むことを特徴としているので、フリッカの抑制が可能となり、良好な表示品質を有する表示装置を得ることができる。

【0063】

本発明の第2の表示装置の製造方法は、絶縁性基板上にソース／ドレイン電極となる導電膜を堆積する工程と、該堆積された導電膜を、ソース電極を挟み、それぞれ両側に少なくとも1個のドレイン電極配線を有し、該それぞれのドレイン電極配線は前記ソース電極と対向するチャネル長方向の一部においてゲート電極

配線との重なり部でドレイン電極を形成し、該ドレイン電極配線の他端は画素電極に接続されるようパターニングする工程と、該ソース／ドレイン電極上に半導体膜を形成する工程と、該半導体膜上を被覆した絶縁膜を形成する工程と、該絶縁膜上にゲート電極パターンを形成する工程とを含むことを特徴としているので、フリッカの抑制が可能となり、良好な表示品質を有する表示装置を得ることができる。

【0064】

本発明の第3の表示装置の製造方法は、上記第1または第2の表示装置の製造方法において、前記ドレイン電極配線と接続される画素電極パターンを形成する工程とをさらに備え、前記ドレイン電極配線は前記画素電極パターンと同一の工程で形成されることを特徴としているので、フリッカを抑制可能となり、さらに高開口率化が可能となる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態におけるアクティブマトリクス型液晶表示装置の1画素の平面図である。

【図2】

本発明の第1の実施の形態における図1のTFT部の拡大図である。

【図3】

本発明の第1の実施の形態におけるドレイン電流とコンタクト長の関係を説明する図である。

【図4】

本発明の第1の実施の形態における図2のA-A断面に係る製造工程図である

【図5】

本発明の第1の実施の形態における図2のA-A断面に係る製造工程図である

【図6】

本発明の第2の実施の形態におけるTFT部の拡大図である。

【図7】

本発明の第3の実施の形態におけるTFT部の拡大図である。

【図8】

本発明の第4の実施の形態におけるTFT部の拡大図である。

【図9】

本発明の第5の実施の形態におけるTFT部の拡大図である。

【図10】

本発明の第6の実施の形態におけるTFT部の拡大図である。

【図11】

従来のアクティブマトリクス型液晶表示装置の1画素の平面図である。

【符号の説明】

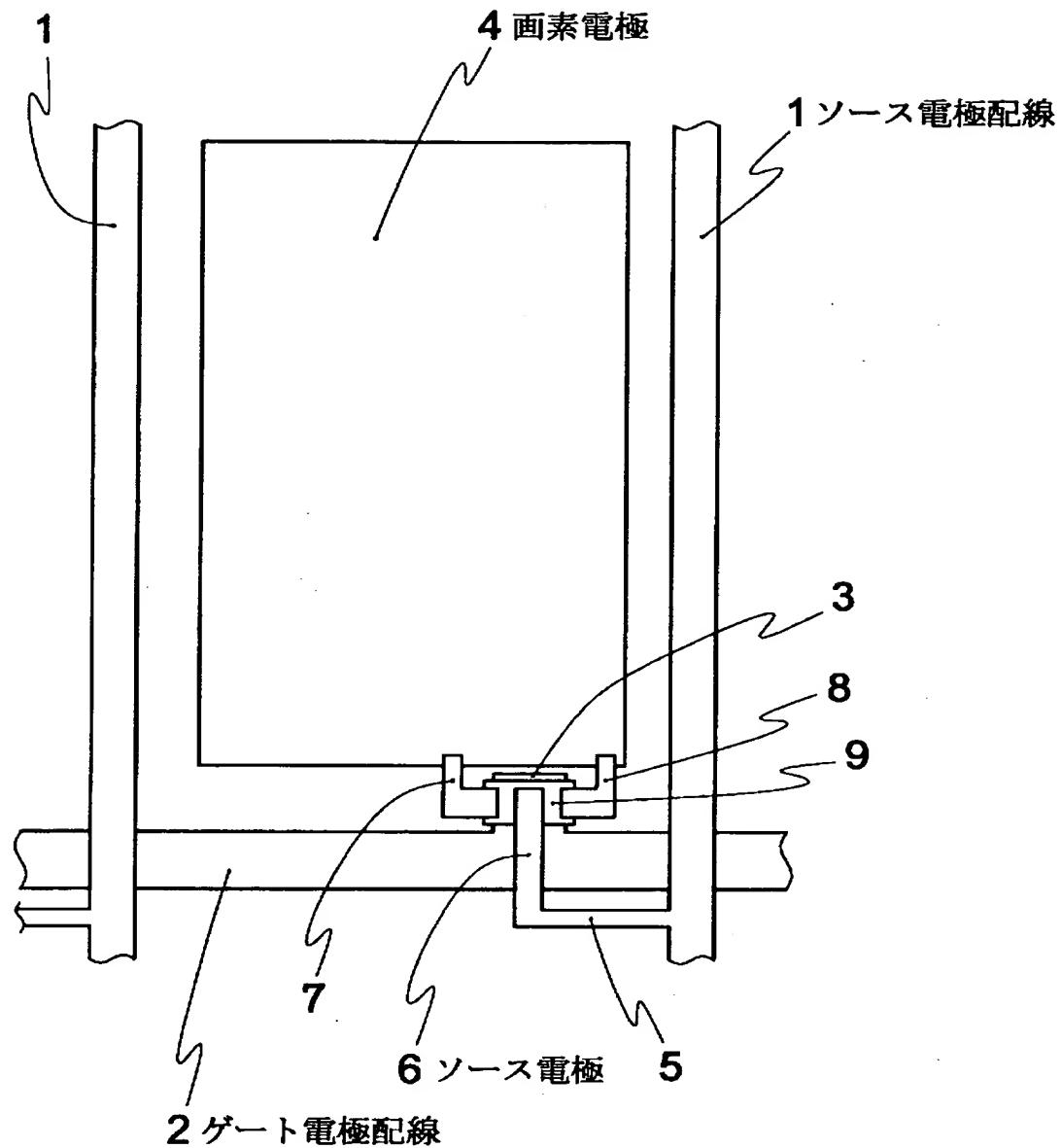
- 1 ソース電極配線
- 2 ゲート電極配線
- 3 ゲート電極配線突き出し部
- 4、31 画素電極
- 5 ソース電極配線引き出し部
- 6 ソース電極
- 7 第1のTFTのドレイン電極配線
- 8 第2のTFTのドレイン電極配線
- 9 半導体膜
- 10 第1のドレイン電極配線の画素電極との接続部
- 11 第2のドレイン電極配線の画素電極との接続部
- 12 ソース電極配線下の半導体膜
- 13 第1のドレイン電極配線とゲート電極とのオーバーラップ部（第1のドレイン電極）
- 14 第2のドレイン電極配線とゲート電極とのオーバーラップ部（第2のドレイン電極）
- 19 ゲート絶縁膜
- 20 真性半導体層

- 2 1 導電性半導体層
- 2 2 パッシベーション膜
- 2 3 ゲート電極配線切欠部
- 2 4 ソース電極配線下半導体膜
- 2 5 ドレイン電極配線と画素電極との接続部分
- 3 2 ゲートライン
- 3 3 ドレインライン
- 3 8 ゲート電極
- 5 1、5 2 ソース電極
- 5 3 共通ドレイン電極

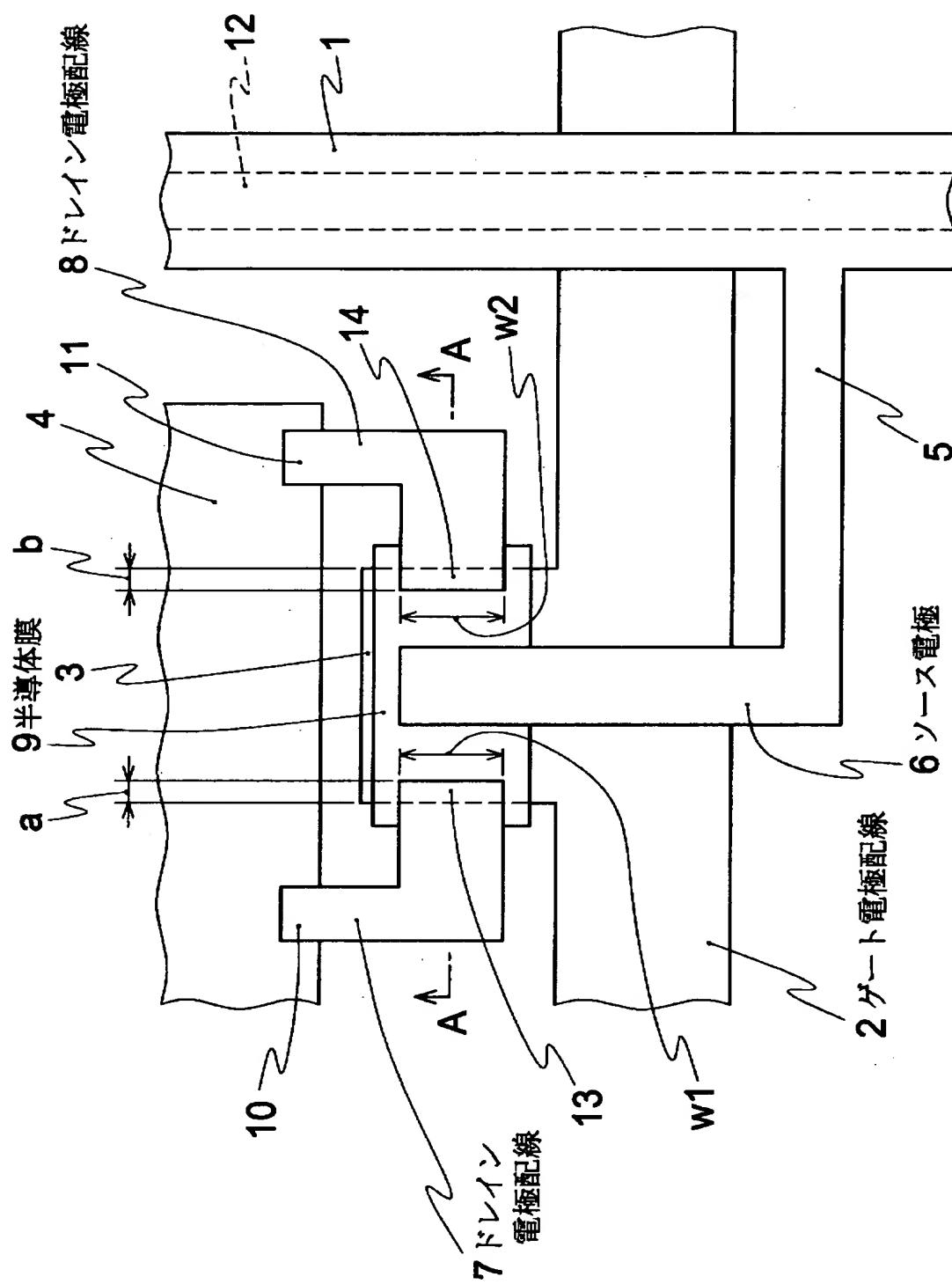
【書類名】

図面

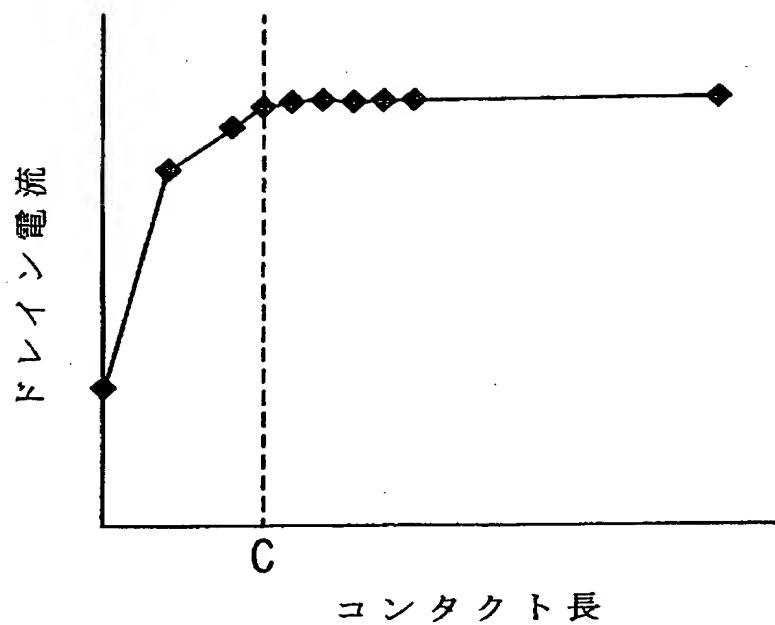
【図1】



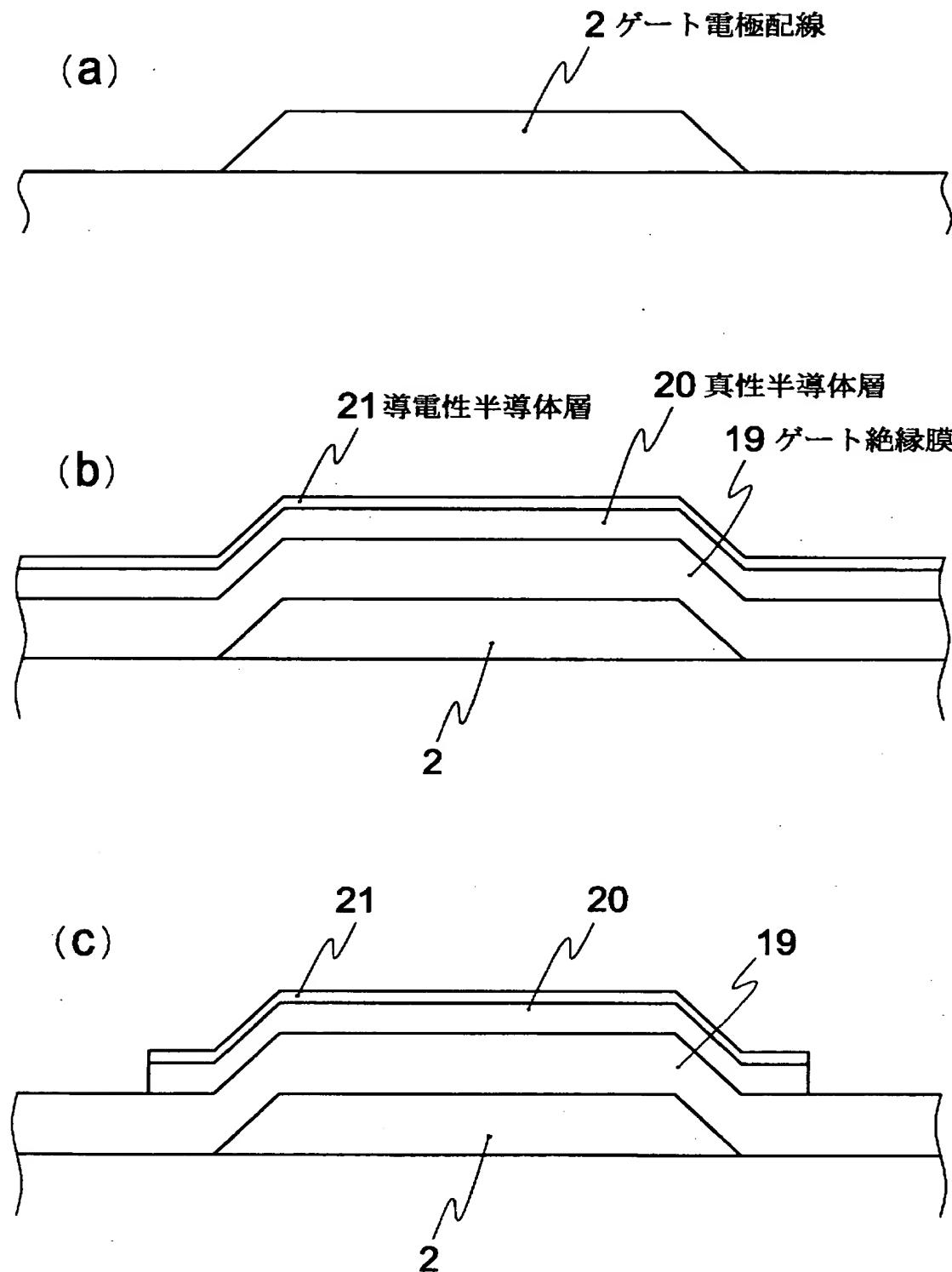
【図2】



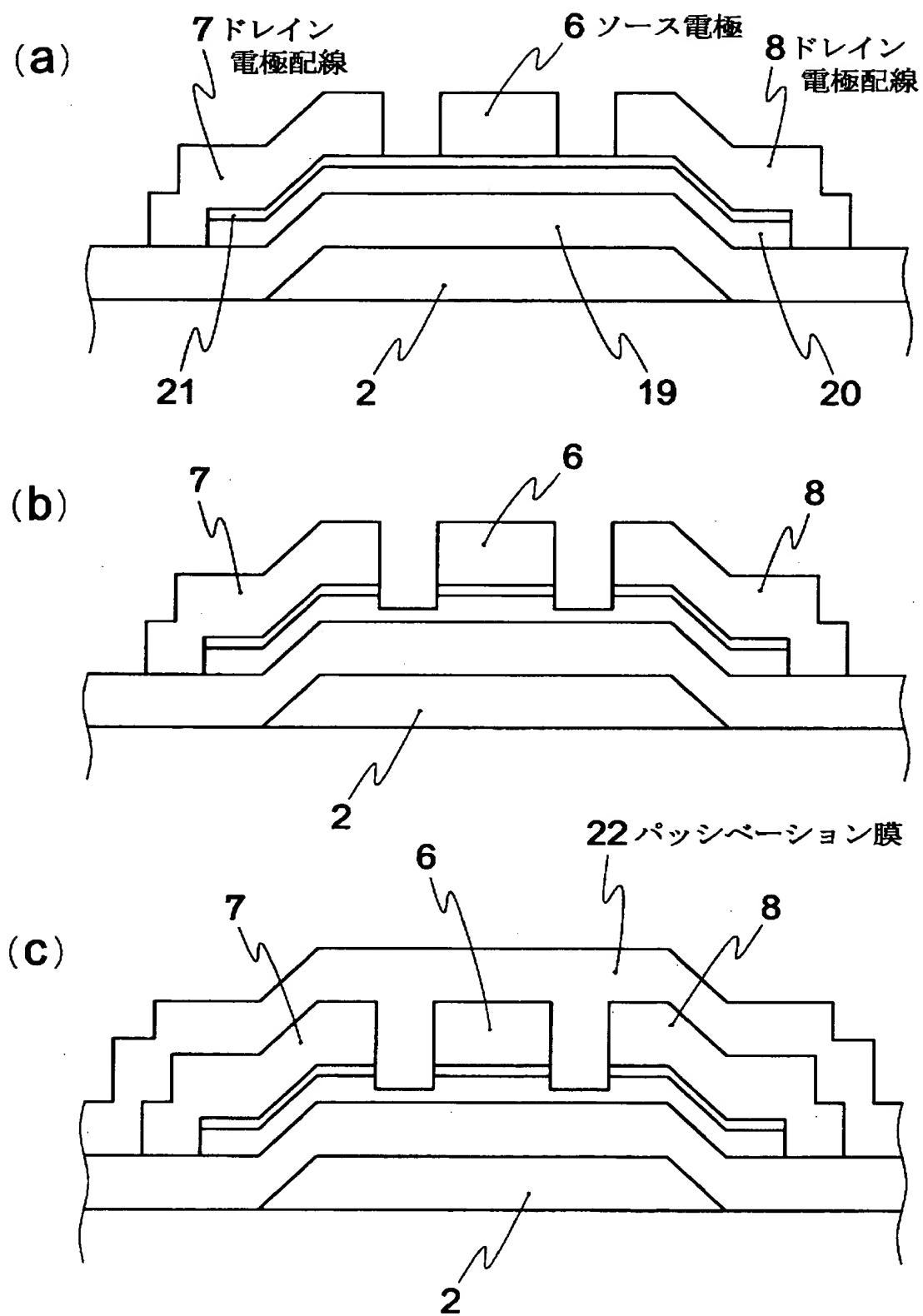
【図3】



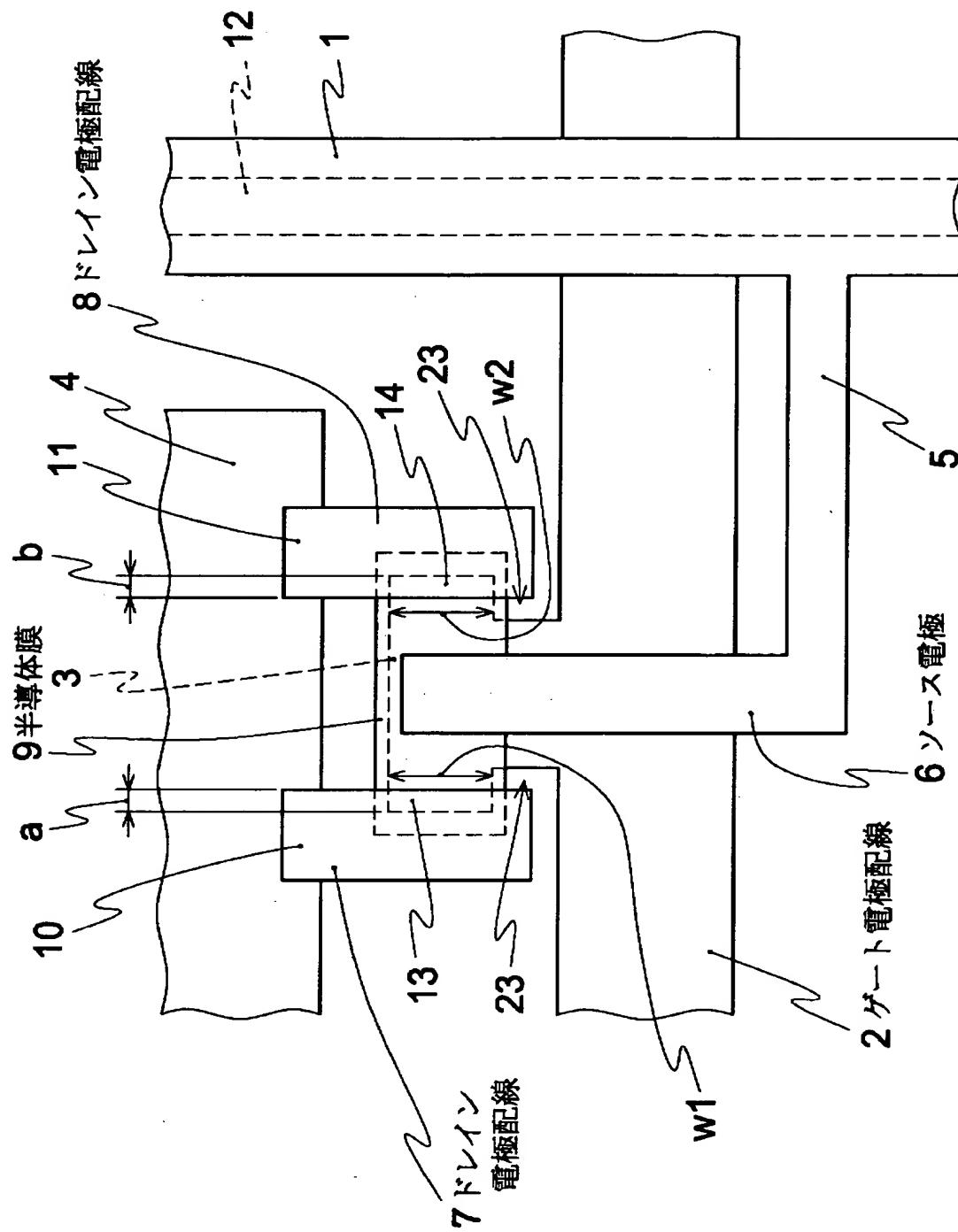
【図4】



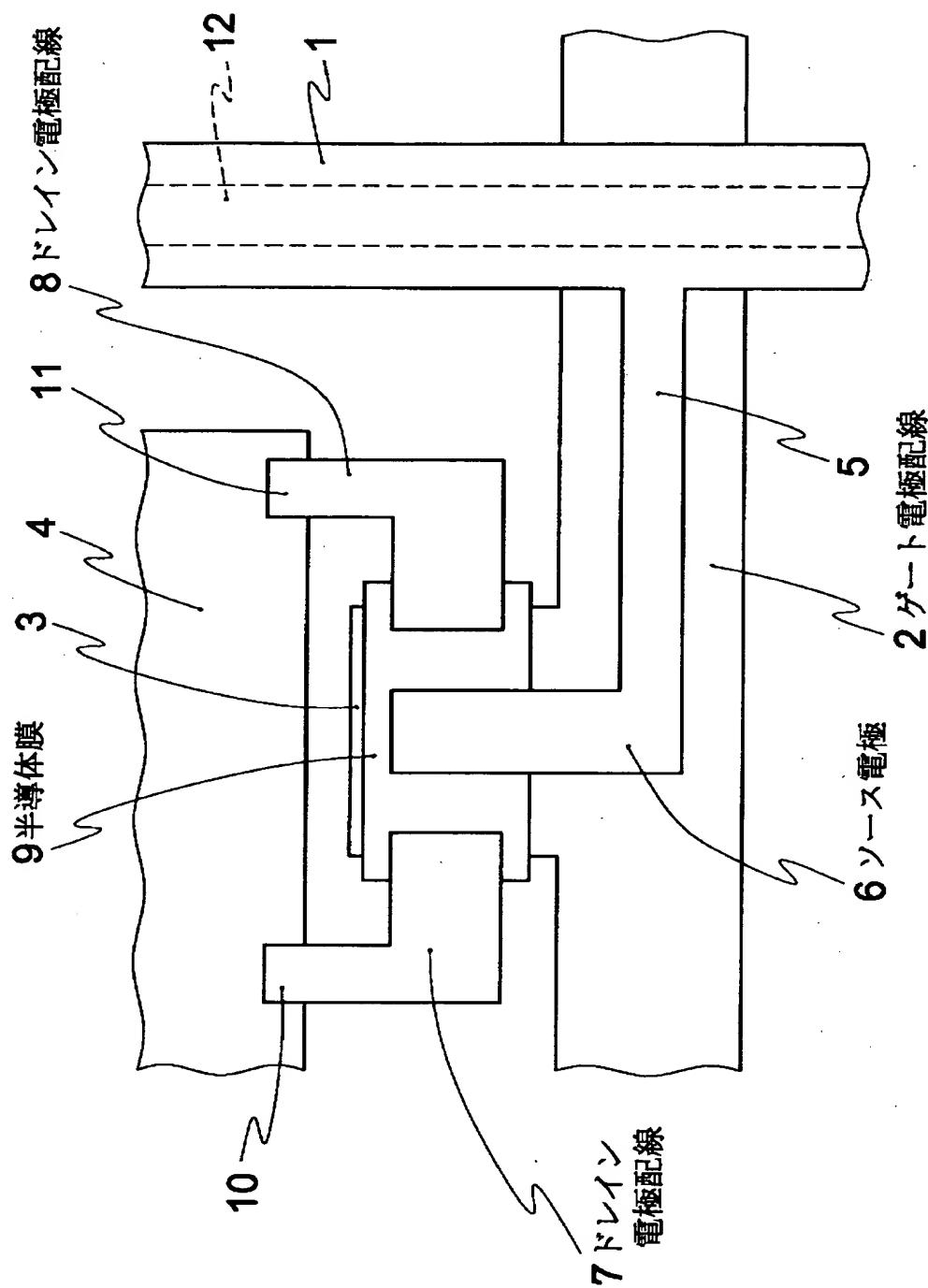
【図5】



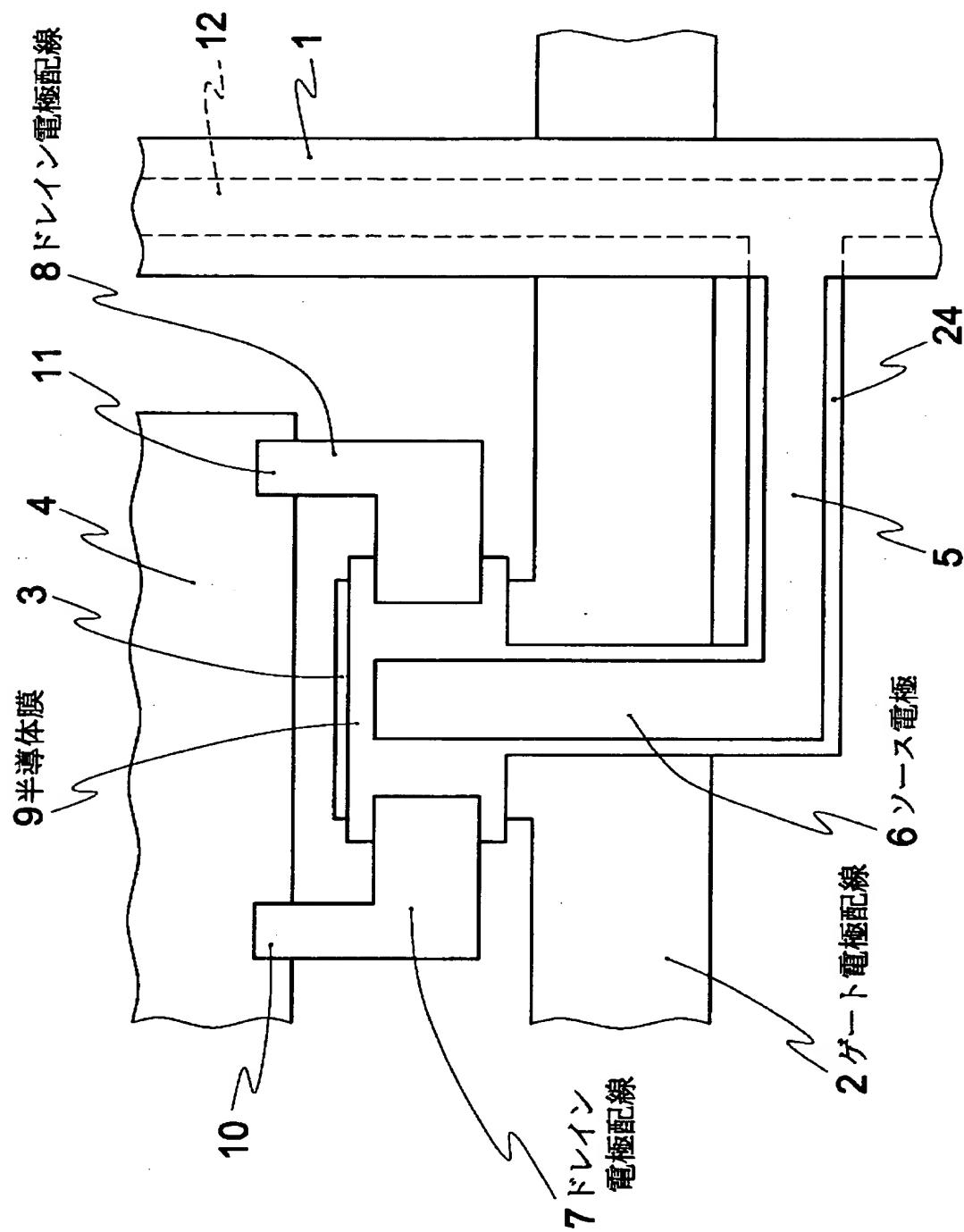
【図6】



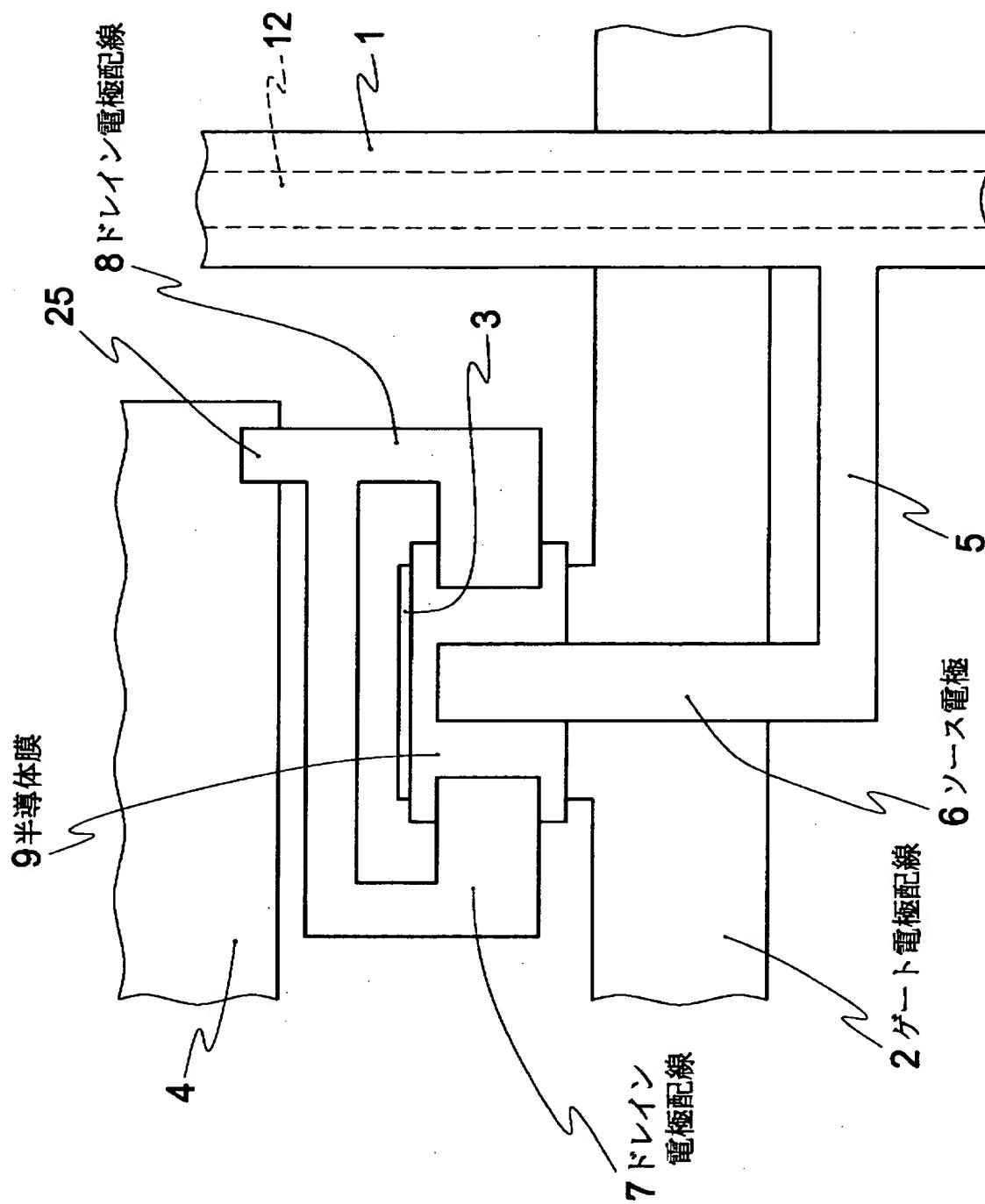
【図7】



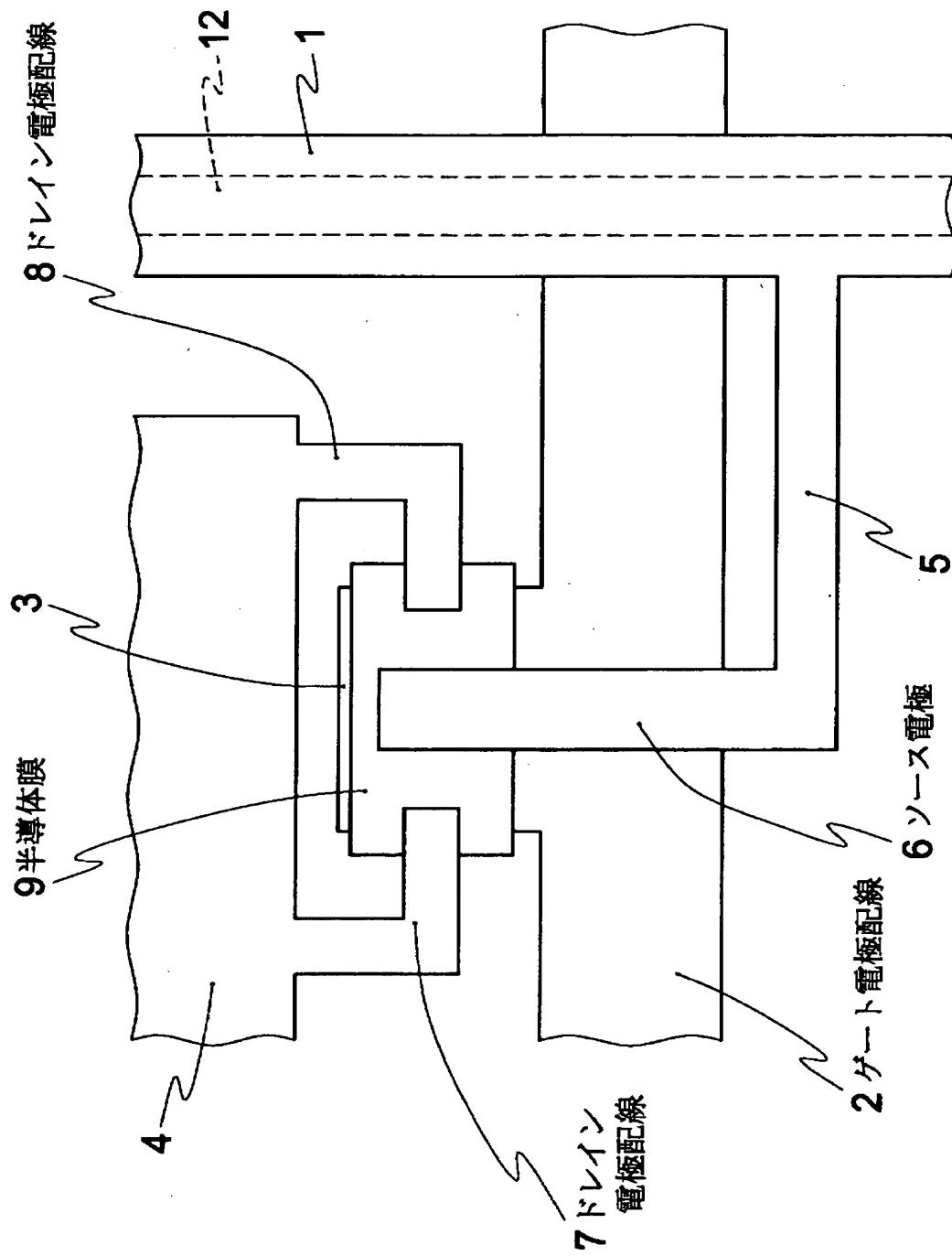
【図8】



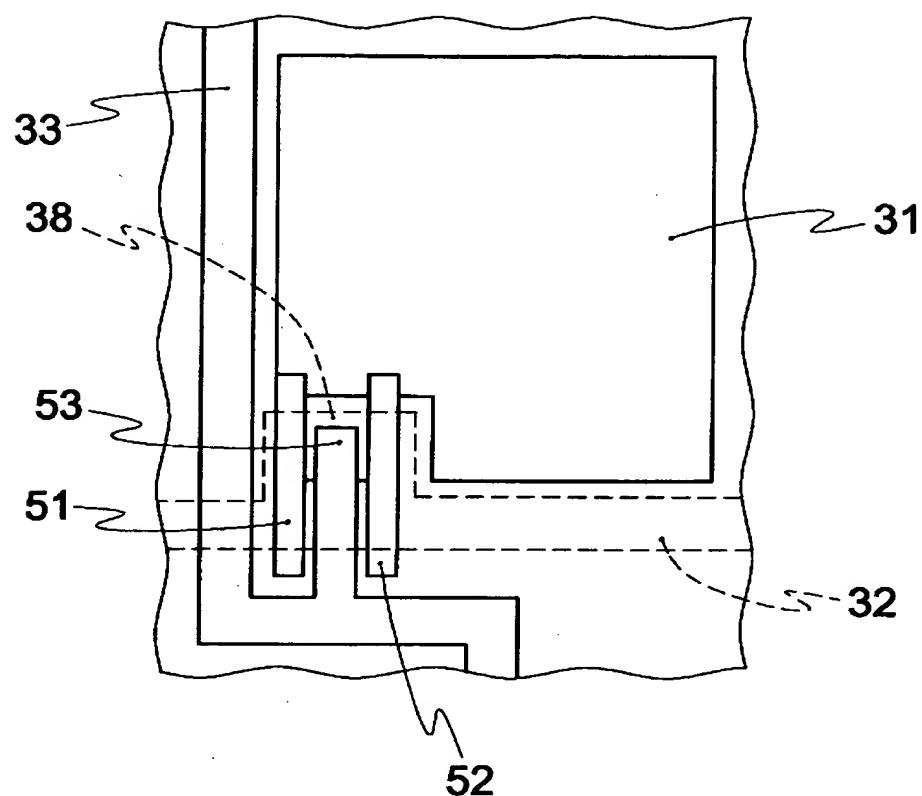
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 分割露光による分割領域間の輝度差の抑制に加えて、画面のちらつきをも抑制した、良好な表示品質を有する表示装置を得る。

【解決手段】 絶縁性基板上に形成されたゲート電極配線と、該ゲート電極配線と絶縁膜を介して交差するソース電極を含むソース電極配線と、前記ゲート電極配線と前記ソース電極配線との交差部近傍に形成された薄膜トランジスタと、前記薄膜トランジスタのドレイン電極を含みかつ画素電極に接続されるドレイン電極配線とを備えた表示装置であって、前記薄膜トランジスタはソース電極の両側面において対向するドレイン電極配線のチャネル長方向の一部と前記ゲート電極配線との重なり部でドレイン電極を形成する。

【選択図】 図2

出願人履歴情報

識別番号 [595059056]

1. 変更年月日 1995年 4月21日

[変更理由] 新規登録

住 所 熊本県菊池郡西合志町御代志997番地
氏 名 株式会社アドバンスト・ディスプレイ